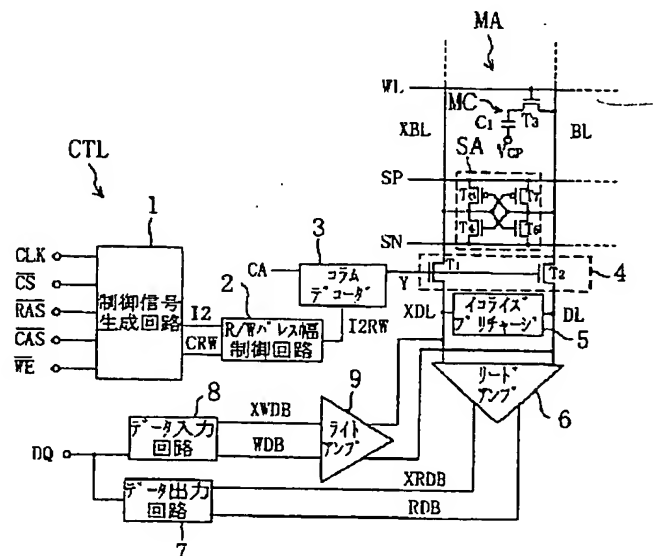


(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 行列状に配置された複数のメモリセルを有するメモリセルアレイと、
前記メモリセルアレイの各列に対して設けられた複数のビット線対と、
前記メモリセルアレイへの書き込みデータ、および前記メモリセルアレイからの読み出しデータを転送するデータ線対と、
リード動作およびライト動作において、前記複数のビット線対のうち一のビット線対を選択し、この一のビット線対と前記データ線対との接続・非接続を切替制御する制御手段と、
リード動作において、前記データ線対に対し、前記複数のビット線対のいずれかが接続されていない期間に、その電位を等しくするイコライズ手段と、
ライト動作において、入力されたデータに従って前記データ線対を駆動するライトアンプとを備え、
前記制御手段は、リード動作とライト動作との周期が同一であっても、前記一のビット線対と前記データ線対との接続期間を、リード動作とライト動作とにおいて個別に独立して設定可能に構成されている半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、
前記制御手段は、
前記一のビット線対と前記データ線対との接続期間を、ライト動作のときの方がリード動作のときよりも長くするように、設定することを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置は、一定周期の外部クロックに同期して、リード動作およびライト動作を行うものであることを特徴とする半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、
前記制御手段は、
前記外部クロックに同期し、かつ、パルス幅がリード動作とライト動作とにおいて異なるパルス信号を、リードライトパルス幅制御信号として生成するリードライトパルス幅制御回路と、
外部から入力されたコラムアドレスに従って前記メモリセルアレイの列を選択し、選択した列のコラム選択信号を、前記リードライトパルス幅制御信号が一の論理レベルである間、活性化するコラムデコーダと、
前記複数のビット線対のそれぞれに対して設けられ、対応する前記コラム選択信号が活性化したとき、対応するビット線対と前記データ線対とを接続する複数のコラム選択ゲートとを備えたものであることを特徴とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、
前記リードライトパルス幅制御信号のパルス幅は、ライ

ト動作のときの方がリード動作のときよりも長いことを特徴とする半導体記憶装置。

【請求項6】 請求項4記載の半導体記憶装置において、

前記リードライトパルス幅制御回路は、
遅延手段を有し、リード動作のとき、前記遅延手段の遅延時間によって定まるパルス幅を有するワンショットパルスを前記リードライトパルス幅制御信号として生成するものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関する技術に属するものであり、特に、外部クロックに同期して所定周期でリード・ライト動作を行う半導体記憶装置に関する。

【0002】

【従来の技術】近年、シンクロナスDRAM等、外部クロックに同期して高速動作する半導体記憶装置が、様々な機器に用いられている。

【0003】このようなクロック同期式の半導体記憶装置では、外部クロックを基にして、装置内部の各回路を動作させるためのタイミング信号が生成される。DRAMの場合、このようなタイミング信号の一つとして、コラム選択ゲート活性化信号がある。コラム選択ゲート活性化信号は、メモリセルアレイの各列に対して設けたビット線対と、データ線対との間に設けられたコラム選択ゲートのオンオフのタイミングを制御するタイミング信号である。コラム選択ゲートは、コラムアドレスによって選択されたとき、コラム選択ゲート活性化信号が活性化されている間オンになり、この間、対応するビット線対とデータ線対とを接続する。

【0004】リード動作（読み出し動作）のときは、メモリセルからビット線対に読み出されたデータは、センスアンプによって増幅され、オンになったコラム選択ゲートを介してデータ線対に転送される。データ線対に転送されたデータは、さらにリードアンプによって増幅され、データ出力回路を介して装置外部に出力される。

【0005】一方、ライト動作（書き込み動作）のときは、装置外部から入力されたデータはデータ入力回路を介してライトアンプに入力され、ライトアンプはそのデータに従ってデータ線対を駆動し、オンになったコラム選択ゲートを介してビット線対にデータを転送する。

【0006】図4は従来の半導体記憶装置の動作を示すタイミングチャートである。図4において、CLKは外部クロック、/CS、/RAS、/CAS、/WEは制御信号、IRWはコラム選択ゲート活性化信号、Yはコラム選択ゲートを制御するコラム選択信号である。図4では、まずリード動作が行われており、外部クロックCLKの3番目の立ち上がりエッジに同期してライトコマンドが入力され、これにより、ライト動作に切り替わっ

ている。ライトコマンドの入力は、制御信号／CS、／CAS、／WEがローレベルになるとともに制御信号／RASがハイレベルになることによって、行われる。コラム選択信号Yは、コラム選択ゲート活性化信号IRWがハイレベルの間、活性化されてハイレベルになる。コラム選択信号Yがハイレベルになると、対応するコラム選択ゲートはオンになり、これにより、対応するビット線対とデータ線対とが接続される。

【0007】

【発明が解決しようとする課題】ところが従来の半導体記憶装置では、外部クロックの周波数を上げて高速動作させる場合に、次のような問題が生じる。

【0008】ライト動作のとき、ライトアンプは、メモリセルにデータを書き込むために、データ線対を駆動するとともにコラム選択ゲートを介してビット線対をも駆動して、センスアンプにラッチされたデータを反転させなければならない。このため、データ線対の電位が大きくスイングした状態で、十分な時間に亘って、コラム選択ゲートをオンにしてデータ線対とビット線対とを接続する必要がある。すなわち、ライト動作の際には、データ線対とビット線対との接続期間を十分長く確保しなければならない。

【0009】一方、リード動作のときは、通常、データ線対の電位のスイングが遅いので、データ線対の電位をデータ読み出しの前に十分にイコライズしておかなければならない。そうでないと、データ線対に残った前のデータを打ち消すために長い時間を要することになり、その分、リード動作が遅れてしまう。すなわち、リード動作の際には、データ線対の電位のイコライズ期間を十分長く確保しなければならない。

【0010】ところですでに説明したように、従来の半導体記憶装置では、コラム選択ゲート活性化信号IRWはリード動作のときもライト動作のときも同一のタイミングで変化する。このため、コラム選択ゲートがオンになる期間すなわちデータ線対とビット線対との接続期間は、リード動作のときもライト動作のときも、同一である。

【0011】このような従来の半導体記憶装置では、外部クロックの周波数を上げて高速動作させたとき、安定した動作が困難になる。すなわち、従来の半導体記憶装置では、ライト動作の際にデータ線対とビット線対との接続期間を長く確保しようとする、リード動作の際にデータ線対の電位のイコライズ期間を十分長く確保することが困難になる。一方、リード動作の際にデータ線対とビット線対との接続期間を短くしてデータ線対の電位のイコライズ期間を長く確保しようとする、ライト動作の際にデータ線対とビット線対との接続期間を十分長く確保することが困難になる。

【0012】前記の問題に鑑み、本発明は、半導体記憶装置として、高速な、かつ安定したリード・ライト動作

を実行可能にすることを課題とする。

【0013】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた解決手段は、半導体記憶装置として、行列状に配置された複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイの各列に対して設けられた複数のビット線対と、前記メモリセルアレイへの書き込みデータ、および前記メモリセルアレイからの読み出しデータを転送するデータ線対と、リード動作およびライト動作において、前記複数のビット線対のうち一のビット線対を選択し、この一のビット線対と前記データ線対との接続・非接続を切替制御する制御手段と、リード動作において、前記データ線対に対し、前記複数のビット線対のいずれもが接続されていない期間に、その電位を等しくするイコライズ手段と、ライト動作において、入力されたデータに従って前記データ線対を駆動するライトアンプとを備え、前記制御手段は、リード動作とライト動作との周期が同一であっても、前記一のビット線対と前記データ線対との接続期間を、リード動作とライト動作とにおいて個別に独立して設定可能に構成されているものとする。

【0014】請求項1の発明によると、ビット線対とデータ線対との接続期間は、リード動作とライト動作との周期が同一であっても、リード動作とライト動作とにおいて個別に独立して設定可能であるので、リード動作のときにビット線対とデータ線対との接続期間を短く設定する一方、ライト動作のときにビット線対とデータ線対との接続期間を長く設定することができる。このため、リード動作において、データ線対の電位のイコライズ期間を十分長く確保できるので、高速なデータ読み出しが可能になるとともに、ライト動作において、ビット線対とデータ線対との接続期間を十分長く確保できるので、確実なデータ書き込みが可能になる。したがって、高速な、かつ安定したリード・ライト動作を実行することが可能になる。

【0015】そして、請求項2の発明では、前記請求項1の半導体記憶装置における制御手段は、前記一のビット線対と前記データ線対との接続期間を、ライト動作のときの方がリード動作のときよりも長くなるように、設定するものとする。

【0016】請求項2の発明によると、ビット線対とデータ線対との接続期間は、ライト動作のときの方がリード動作のときよりも長く設定されるので、リード動作において、データ線対のイコライズ期間を十分長く確保できるため、高速なデータ読み出しが可能になるとともに、ライト動作において、ビット線対とデータ線対との接続期間を十分長く確保できるため、確実なデータ書き込みが可能になる。したがって、高速な、かつ安定したリード・ライト動作を実行することが可能になる。

【0017】また、請求項3の発明では、前記請求項1

記載の半導体記憶装置は、一定周期の外部クロックに同期して、リード動作およびライト動作を行うものとする。

【0018】そして、請求項4の発明では、前記請求項3の半導体記憶装置における制御手段は、前記外部クロックに同期し、かつ、パルス幅がリード動作とライト動作とにおいて異なるパルス信号を、リードライトパルス幅制御信号として生成するリードライトパルス幅制御回路と、外部から入力されたコラムアドレスに従って前記メモリセルアレイの列を選択し、選択した列のコラム選択信号を、前記リードライトパルス幅制御信号が一の論理レベルである間、活性化するコラムデコードと、前記複数のビット線対のそれぞれに対して設けられ、対応する前記コラム選択信号が活性化したとき、対応するビット線対と前記データ線対とを接続する複数のコラム選択ゲートとを備えたものとする。

【0019】請求項4の発明によると、コラム選択ゲートがビット線対とデータ線対とを接続する期間は、リードライトパルス幅制御信号のパルス幅に応じて定まる。リードライトパルス幅制御信号のパルス幅はリード動作とライト動作において異なるので、ビット線対とデータ線対との接続期間は、リード動作とライト動作とにおいて異なる期間に設定可能である。したがって、外部クロックに同期して、高速な、かつ安定したリード・ライト動作を実行する半導体記憶装置を、簡易な構成で実現することができる。

【0020】さらに、請求項5の発明では、前記請求項4記載の半導体記憶装置におけるリードライトパルス幅制御信号のパルス幅は、ライト動作のときの方がリード動作のときよりも長いものとする。

【0021】また、請求項6の発明では、前記請求項4の半導体記憶装置におけるリードライトパルス幅制御回路は、遅延手段を有し、リード動作のとき、前記遅延手段の遅延時間によって定まるパルス幅を有するワンショットパルスを前記リードライトパルス幅制御信号として生成するものとする。

【0022】請求項6の発明によると、リード動作におけるビット線対とデータ線対との接続期間を、ライト動作のときとは別個に、遅延手段の遅延量に基づいて、所望の値に設定することができる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。

【0024】図1は本発明の一実施形態に係る半導体記憶装置を示すブロック図である。図1において、MCは容量C1およびトランジスタT3からなるメモリセルであり、行列状に配置された複数のメモリセルMCによってメモリセルアレイMAが構成されている。SAはNチャネルトランジスタT4、T5およびPチャネルトランジスタT6、T7からなるラッチ回路を用いたセンスア

ンプ、BL、XBLはメモリセルアレイMAの各列に対して設けられたビット線対、WLはメモリセルアレイの各行に対して設けられたワード線である。なお図1では簡単のため、メモリセルMCは1個のみを代表的に示しており、また、センスアンプSAも1個のみを、ビット線対BL、XBLも1対のみを、ワード線WLも1本のみをそれぞれ示している。実際の半導体記憶装置では、一般的に良く知られているように、センスアンプSAおよびビット線対BL、XBLはそれぞれメモリセルアレイMAの列数に相当する個数だけ設けられており、また、ワード線WLはメモリセルアレイMAの行数に相当する個数だけ設けられている。

【0025】1は半導体記憶装置の外部から供給される外部クロックCLKおよび制御信号/CS、/RAS、/CAS、/WEに基づいて、装置内部の制御のための内部制御信号を生成出力する制御信号生成回路である。2は制御信号生成回路1で生成される内部制御信号の一部である内部クロックI2およびリードライト切替信号CRWに基づいて、リードライトパルス幅制御信号I2RWを生成するリードライト(R/W)パルス幅制御回路である。3はリードライトパルス幅制御信号I2RWと、外部から入力されたコラムアドレス(図示せず)を基に生成されたコラムアドレスプリデコード信号CAとに基づいて、コラム選択信号Yを生成するコラムデコードである。4はトランジスタT1、T2からなり、コラム選択信号Yに従ってビット線対BL、XBLとデータ線対DL、XDLとの接続・非接続を切り替え制御するコラム選択ゲートである。このコラム選択ゲート4も、実際の半導体記憶装置では、各ビット線対BL、XBLごとに設けられている。

【0026】リードライトパルス幅制御信号I2RWは、従来の半導体記憶装置におけるコラム選択ゲート活性化信号に相当するものであり、コラム選択信号Yのパルス幅をリード動作とライト動作とにおいて切替制御するための信号である。コラム選択信号Yは、リードライトパルス幅制御信号I2RWがハイレベルの間、活性化されてハイレベルになる。コラム選択信号Yが活性化したとき、コラム選択ゲート4はビット線対BL、XBLとデータ線対DL、XDLとを接続する。

【0027】5はデータ線対DL、XDLをプリチャージしてその電位を等しくするイコライズ手段としてのイコライズプリチャージ回路、6はデータ線対DL、XDLの電位を増幅し、データ線対DL、XDLに転送されたデータをリードデータバスRDB、XRDBに伝達するリードアンプ、7はリードデータバスRDB、XRDBのデータを端子DQから外部に出力するデータ出力回路、8は端子DQに印加されたデータをライトデータバスWDB、XWDBに伝達するデータ入力回路、9はライトデータバスWDB、XWDBのデータに従ってデータ線対DL、XDLを駆動するライトアンプである。

【0028】制御信号生成回路1、リードライトパルス幅制御回路2、コラムデコーダ3、およびコラム選択ゲート4によって、制御手段CTLが構成されている。

【0029】図2はリードライトパルス幅制御回路2の内部構成を模式的に示す図である。図2において、10は内部クロックI2を遅延させる遅延手段としての遅延素子、11は遅延素子10の出力およびリードライト切替信号CRWを入力とするNANDゲート、12は内部クロックI2およびNANDゲート11の出力を入力とし、リードライトパルス幅制御信号I2RWを出力するANDゲートである。

【0030】図1および図2に示す半導体記憶装置の動作について、図3を参照して説明する。図3は図1および図2に示す半導体記憶装置の動作を示すタイミングチャートである。図3では、まずリード動作が行われており、外部クロックCLKの3番目の立ち上がりエッジに同期してライトコマンドが入力され、これにより、ライト動作に切り替わっている。ライトコマンドの入力は、制御信号/CS、/CAS、/WEがローレベルになるとともに制御信号/RASがハイレベルになることによって、行われる。

【0031】図3に示すように、外部クロックCLKの立ち上がりエッジに同期して、内部クロックI2の各パルスは生成される。ライトコマンドの入力により、それまでリード動作を行っていた半導体記憶装置は、ライト動作を開始し、制御信号生成回路1はリードライト切替信号CRWをハイレベルからローレベルに遷移させる。

【0032】リードライト切替信号CRWがハイレベルのときすなわちリード動作のとき、図2に示すリードライトパルス幅制御回路2はワンショットパルス生成回路として機能する。このときリードライトパルス幅制御回路2は、内部クロックI2の立ち上がりエッジに同期して立ち上がり、かつ遅延素子10の遅延時間によって定まるパルス幅を有するワンショットパルスを、リードライトパルス幅制御信号I2RWとして生成する。すなわち図3に示すように、リード動作のとき、リードライトパルス幅制御信号I2RWのパルス幅は、内部クロックI2のパルス幅よりも短くなる。

【0033】一方、リードライト切替信号CRWがローレベルのときすなわちライト動作のとき、図2に示すリードライトパルス幅制御回路2のNANDゲート11の出力は常にハイレベルになる。リードライトパルス幅制御信号I2RWは、ANDゲート12の一方の入力が常にハイレベルであるので、その他方の入力である内部クロックI2とほぼ同じ信号波形になる。すなわち図3に示すように、ライト動作のとき、リードライトパルス幅制御信号I2RWのパルス幅は、内部クロックI2のパルス幅とほぼ等しくなる。

【0034】このようにして生成されたリードライトパルス幅制御信号I2RWはコラムデコーダ3に入力さ

れ、コラムデコーダ3は、リードライトパルス幅制御信号I2RWがハイレベルの間、コラム選択信号Yを活性化化する。コラム選択ゲート4は、コラム選択信号Yが活性化されてハイレベルになっているとき、ビット線対BL、XBLとデータ線対DL、XDLとを接続する。すなわち、ビット線対BL、XBLとデータ線対DL、XDLとの接続期間は、リードライトパルス幅制御信号I2RWのパルス幅によって設定される。

【0035】またデータ線対DL、XDLのイコライズおよびプリチャージは、いずれの列のコラム選択信号Yも活性化されないで、いずれのビット線対BL、XBLとも接続されていない間に行われる。これは、リード動作の場合でもライト動作の場合でも、同様である。

【0036】リード動作のときは、センスアンプSAによって増幅されたビット線対BL、XBLの電位は、ビット線対BL、XBLとデータ線対DL、XDLとが接続されている間に、データ線対DL、XDLに伝達される。データ線対DL、XDLの電位はリードアンプ6によって増幅され、リードデータバスRDB、XRDBに伝達されて、データ出力回路7を介して端子DQから外部に読み出しデータとして出力される。このとき、リードライトパルス幅制御信号I2RWのパルス幅は内部クロックI2のパルス幅よりも短いので、データ線対DL、XDLとビット線対BL、XBLとの接続期間は相対的に短くなり、このため、外部クロックCLKの周波数が高くなったときでも、データ線対DL、XDLの電位のイコライズ期間は十分長く確保される。したがって、データ線対DL、XDLの電位をデータ読み出し前に十分にイコライズすることができ、高速なデータ読み出しを行うことができる。

【0037】一方、ライト動作のときは、端子DQに印加された書き込みデータはデータ入力回路8に入力され、ライトデータバスWDB、XWDBに伝達される。ライトデータバスWDB、XWDBの電位差はライトアンプ9によって増幅され、ビット線対BL、XBLとデータ線対DL、XDLとが接続されている間に、データ線対DL、XDLが駆動されるとともにコラム選択ゲート4を介してビット線対BL、XBLが駆動される。ビット線対BL、XBLの電位差は、トランジスタT3を介して容量C1に伝達され、メモリセルMCにデータが書き込まれる。このとき、リードライトパルス幅制御信号I2RWのパルス幅は内部クロックI2のパルス幅とほぼ等しくなるので、データ線対DL、XDLとビット線対BL、XBLとの接続期間は相対的に長くなる。このため、外部クロックCLKの周波数が高くなったときでも、データ線対DL、XDLの電位が大きくスイングした状態で、十分な時間に亘って、データ線対DL、XDLとビット線対BL、XBLとを接続することができるので、安定したデータ書き込みを行うことができる。

【0038】このように本実施形態に係る半導体記憶装

置によると、リード動作において、データ線対DL, XDLの電位のイコライズ期間を十分長く確保できるので、高速なデータ読み出しが可能になるとともに、ライト動作において、ビット線対BL, XBLとデータ線対DL, XDLとの接続期間を十分長く確保できるので、確実なデータ書き込みが可能になる。

【0039】

【発明の効果】以上説明したように、本発明に係る半導体記憶装置によると、ビット線対とデータ線対との接続期間は、リード動作とライト動作とにおいて個別に独立して設定可能であるので、リード動作におけるデータ線対の電位のイコライズ期間と、ライト動作におけるビット線対とデータ線対との接続期間とを、それぞれ、十分長く確保することができる。これによって、高速な、かつ安定したリード・ライト動作を実行することが可能になる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図2】 図1に示す本発明の一実施形態に係る半導体記

憶装置のリードライトパルス幅制御回路を示す回路図である。

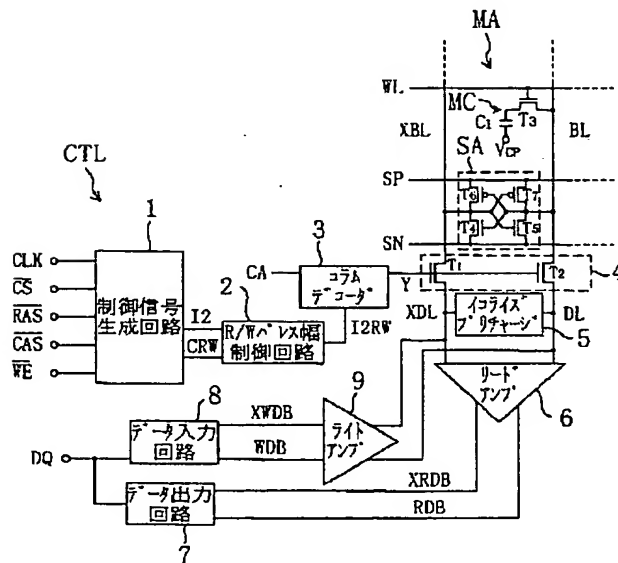
【図3】 図1および図2に示す本発明の一実施形態に係る半導体記憶装置の動作を示すタイミングチャートである。

【図4】 従来の半導体記憶装置の動作を説明するタイミングチャートである。

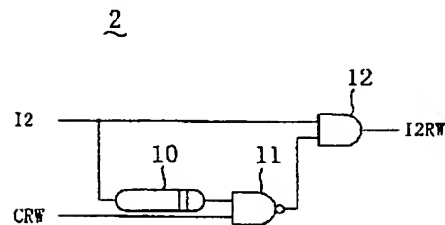
【符号の説明】

- MC メモリセル
- MA メモリセルアレイ
- BL, XBL ビット線対
- DL, XDL データ線対
- CTL 制御手段
- 2 リードライトパルス幅制御回路
- 3 コラムデコーダ
- 4 コラム選択ゲート
- 10 遅延素子（遅延手段）
- CLK 外部クロック
- Y コラム選択信号
- I2RW リードライトパルス幅制御信号

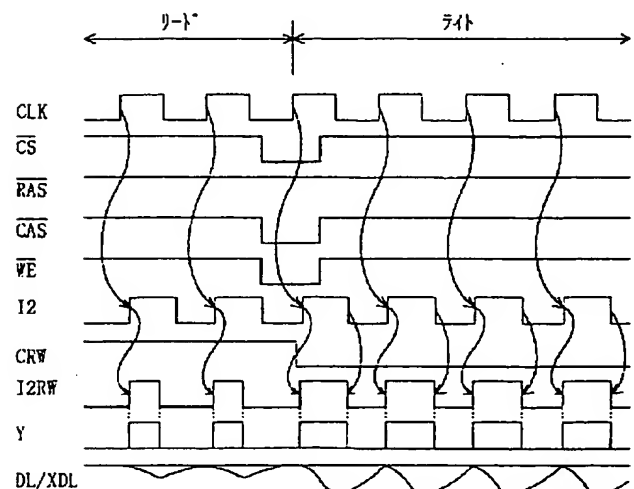
【図1】



【図2】



【図3】



【図 4】

